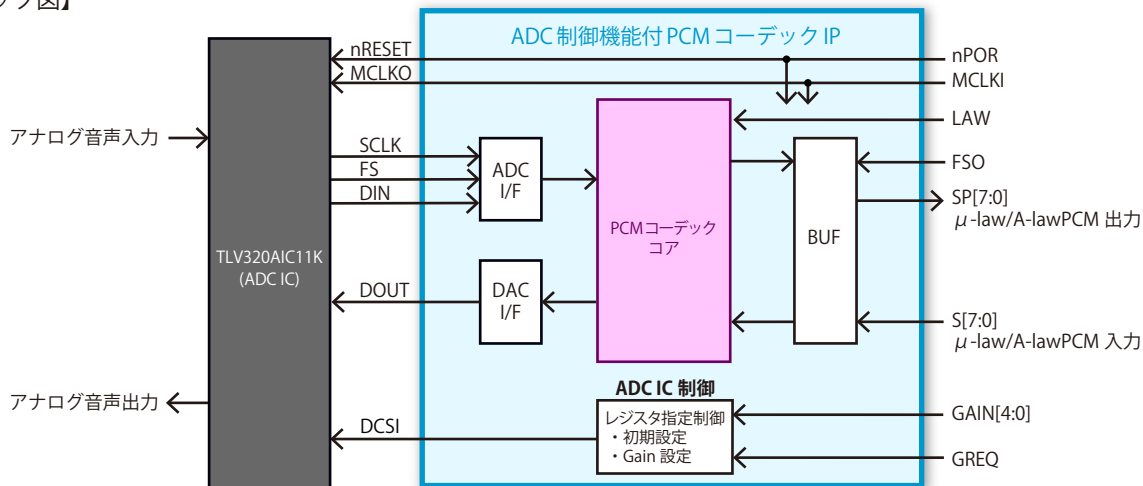


# ADC制御機能付PCMコーデック

Texas Instruments 製 ADC IC (TLV320AIC11K) との組み合わせにより実現した、FPGA 用の PCM コーデック IP です。

- ITU-T G.711 準拠
- リニア PCM ⇄  $\mu$ -law/A-law PCM 変換
- TLV320AIC11K 内蔵の音声帯域フィルタ回路を利用

## 【ブロック図】



## 【インターフェース】

※I/O は FPGA ブロックから見た入出力方向

No.	信号名	I/O	概要
1	MCLKI	I	マスタクロック入力
2	MCLKO	O	マスタクロック出力
3	nPOR	I	リセット入力 (0: リセット)
4	nRESET	O	リセット出力 (0: リセット)
5	ADC I/F	SCLK	シリアルクロック入力
		FS	フレーム同期入力 (SCLK 同期)
		DIN	ADC データ入力
8	DAC I/F	DOUT	DAC データ出力
9	PCM	LAW	Law 設定入力 (0: $\mu$ -law/1:A-law)
		FSO	フレーム同期入力 (MCLK_I 同期)
		SP[7:0]	$\mu$ -law/A-law PCM データ出力 (MCLK_I 同期)
		S[7:0]	$\mu$ -law/A-law PCM データ入力 (MCLK_I 同期)
13	ゲイン制御	GREQ	ゲイン設定変更時 "H" 入力 (MCLK_I 同期)
		GAIN[7:0]	ゲイン設定入力 (MCLK_I 同期) [7:4]=ADCゲイン設定 / [3:0]=DACゲイン設定 ※1
		DCSI	レジスタ制御データ出力

※1 ゲイン設定 (ADC ゲイン / DAC ゲイン 共通)

0: 0dB, 1: -36dB, 2: -30dB, 3: -24dB, 4: -18dB, 5: -12dB, 6: -9dB, 7: -6dB

8: -3dB, 9: +3dB, 10: +6dB, 11: +9dB, 12: +12dB, 13: +18dB, 14: +24dB, 15: MUTE

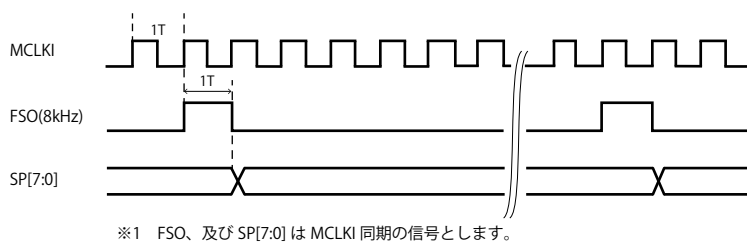
## 【規模 (参考)】

ALTERA 製 CycloneIII	EP3C10
使用 LE 数	約 1,300LEs
メモリ使用量	0

※ その他デバイスの対応に関してはお問い合わせください。

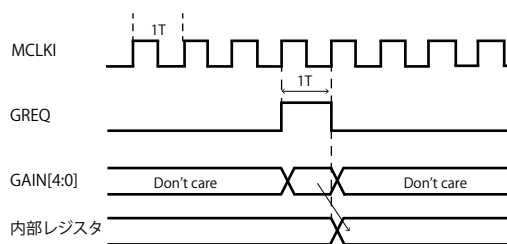
## 【タイミングチャート】

### PCM データ出力インターフェース タイミングチャート



※1 FSO、及び SP[7:0] は MCLKI 同期の信号とします。

### Gain 制御インターフェース タイミングチャート



※2 GREQ、及び GAIN[4:0] は MCLKI 同期の信号とします。

※3 MCLKI 立ち上がり時に GREQ が High ならば、GAIN[4:0] を内部レジスタに取り込んで、その後 Gain 設定制御を開始します。

- ご要望により IP のカスタマイズおよび機能追加してのご提供も可能です。
- 外部制御回路等の周辺回路のカスタム設計も承りますので、ご相談ください。
- Verilog-HDL 言語で設計しています。(VHDL 言語での対応についてはご相談ください。)
- マクロ (ネットリスト) によるご提供や ROM 形式でのご提供も可能です。