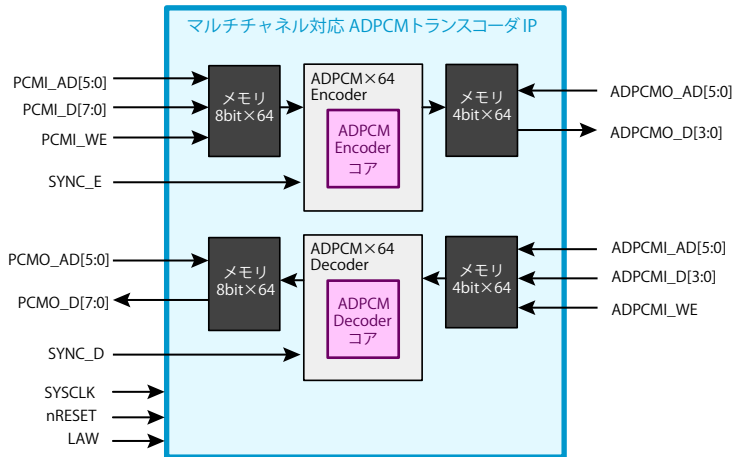


マルチチャネル対応 ADPCM トランスコーダ

本製品は、ITU-T G.726 規格に準拠した 64 チャネル対応の ADPCM トランスコーダ IP です。

- μ /A-law 両対応
- 64チャネル対応
- メモリによる外部インターフェース

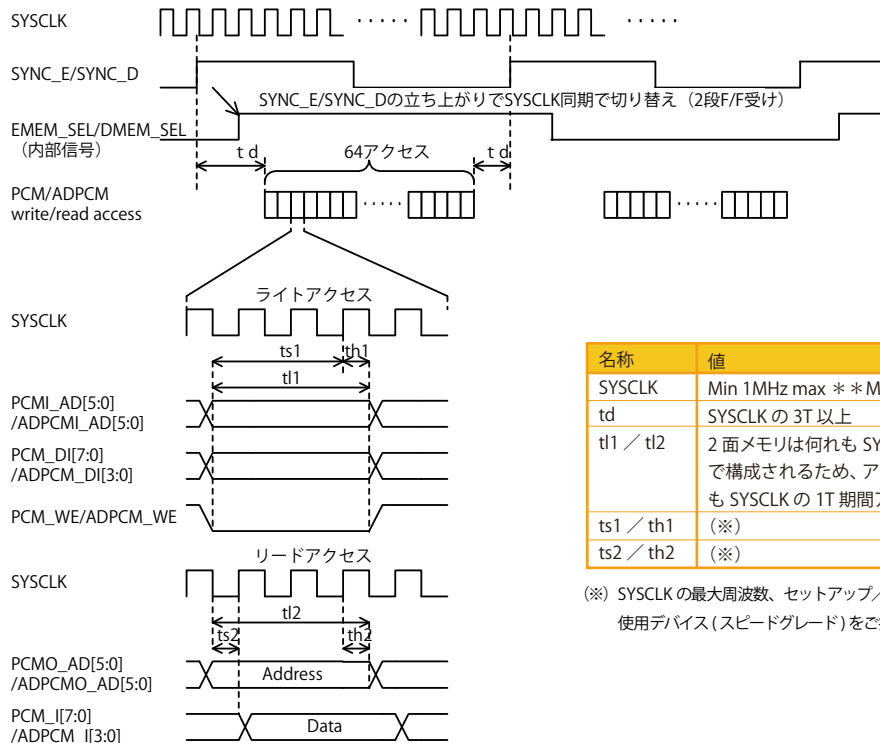
【ブロック図】



【インターフェース】

No.	信号名	機能	
1	SYSCLK	内部動作クロック	
2	nRESET	リセット (0:リセット)	
3	LAW	Law 選択 (0: μ -law / 1:A-law)	
4	ADPCM Encoder Interface	SYNC_E	ADPCM Encoder Sync 8kHz
5		PCML_WE	PCM データ ライトイネーブル
6		PCML_AD[5:0]	PCM データ ライトアドレス
7	ADPCM Decoder Interface	PCML_D[7:0]	PCM データ入力
8		ADPCMO_AD[5:0]	ADPCM データ リードアドレス
9		ADPCMO_D[3:0]	ADPCM データ出力
10	ADPCM Decoder Interface	SYNC_D	ADPCM Decoder Sync 8kHz
11		ADPCML_WE	ADPCM データ ライトイネーブル
12		ADPCML_AD[5:0]	ADPCM データ ライトアドレス
13	ADPCM Decoder Interface	ADPCML_D[3:0]	ADPCM データ入力
14		PCMO_AD[5:0]	PCM データ リードアドレス
15		PCMO_D[7:0]	PCM データ出力

【タイミングチャート】



名称	値
SYSCLK	Min 1MHz max ** Mhz (※)
td	SYSCLK の 3T 以上
tl1 / tl2	2 面メモリは何れも SYSCLK 信号をクロックとした同期メモリで構成されるため、アドレス、データ入力、WE 信号は最低でも SYSCLK の 1T 期間アクティブにすること。
ts1 / th1	(※)
ts2 / th2	(※)

(※) SYSCLK の最大周波数、セットアップ/ホールド時間 (ts1/th1, ts2/th2) は、使用デバイス (スピードグレード) をご指定頂いた後に提示致します。

【規模 (参考)】

ALTERA 製 Cyclone III	EP3C10
使用 LE 数	約 9,000LEs
メモリ使用量	9kbit メモリブロック 20 個
DSP ブロック (乗算器) 使用数	9×9bit 乗算器 20 個

- ご要望により IP のカスタマイズおよび機能追加してのご提供も可能です。
- 外部制御回路等の周辺回路のカスタム設計も承りますので、ご相談ください。
- Verilog-HDL 言語で設計しています。(VHDL 言語での対応についてはご相談ください。)
- マクロ (ネットリスト) によるご提供や ROM 形式でのご提供も可能です。